

采用并行 8b/10b 编码的 JESD204B 接口 发送端电路设计

李长庆¹, 程 军¹, 李 梁², 龚 燎¹

(1 西安交通大学 微电子学院, 陕西 西安 710049;

2 中国电科集团第 24 研究所模拟集成电路重点实验室, 重庆 400060)

摘 要: 为解决高速数据采样器采样数据的准确传输问题, 对高速串行数据传输协议 JESD204B 进行了研究和设计. 采用了一种名为并行编码的 8b/10b 编码电路, 以减轻系统时钟的负担, 提高数据传输速率, 完成了发生器接口电路的设计. 结果表明设计的接口电路功能正确, 性能满足高速数据传输的要求; 并行 8b/10b 编码电路可以显著提高数据传输率, 降低系统时钟的要求.

关键词: JESD204B; 8b/10b 编码; 并行编码; 接口系统

中图分类号: TN4

文献标识码: A

文章编号: 1000—7180(2017)08—0070—06

Design of JESD204B Transmitter Interface Using Parallel 8b/10b Encoder

LI Chang-qing¹, CHENG Jun¹, LI Liang², GONG Liao¹

(1 College of Microelectronics, Xi'an Jiaotong University, Xi'an 710049, China; 2 Key Laboratory of Analog Integrated Circuits, No. 24 Institute, China Electronics Technology Group Corporation, Chongqing 400060, China)

Abstract: The high-speed serial data transmission protocol JESD204B is studied and designed in order to solve the accurate transmission of high-speed AD sampling data. In the design of the interface circuit, a 8b/10b coding structure called parallel coding is adopted to reduce the burden of the system clock and improve the data transmission rate, the design of the transmitter interface circuit is completed. The experimental results show that the design of the interface circuit is correct and the performance meets the requirements of high speed data transmission. The 8b/10b coding structure can significantly improve the data transmission rate and reduce system clock requirements.

Key words: JESD204B ; 8b/10b encode; parallel encode; interface system

1 引言

随着数据转换器朝着高精度、高速度和高集成度的方向不断发展, 对数据转换器接口的性能也提出更高的要求, 传统的 CMOS 和 LVDS 等并行接口标准已不能满足高速、高集成和低功耗的传输需求了^[1]. 因此, 用于数据转换器的 JESD204 高速串行接口标准应运而生.

JESD204 接口标准最早于 2006 由 JEDEC 国

际组织推出, 它采用 CML 电平标准来实现数据转换器和数据处理器之间的通信^[2], 现在已经发展到 JESD204B 版本, 支持多路串行通道传输和确定性延时的功能, 并且最高传输速度高达 12.5 Gbit/s.

目前国内外关于 JESD204B 的研究非常火热, 国外已有成熟的付费 IP 产品推出, 但收费较高; 国内针对 JESD204B 标准的产品还较为罕见, 并且相关的论文也较少. 高速串行接口的重要指标是传输速率, 而 8b/10b 编码电路是限制基于 JESD204B 串

行接口电路设计性能的一个重要单元电路. 本文对用于高速高精度 ADC、符合 JESD204B 标准的串行发送端电路进行了研究,完成了发送端数字电路的设计和验证,采用了一种并行 8b/10b 编码电路,提高了电路的性能,并且在 ALTERA 公司的 FPGA 开发板上验证成功.

2 JESD 接口标准解析

一个完整的 JESD204B 收发系统由发送端和接收端组成,图 1 是常见的 JESD204B 收发系统的系统框图,无论发送端还是接收端,其结构都可分为传输层、链接层和物理层. 物理层实现高速并串转换和 CML 驱动的功能,需用模拟全定制的方法进行设计. 传输层和链接层是纯数字电路,可以采用硬件描述语言完成设计. 本文采用 VerilogHDL 设计了发送端电路的传输层和链接层 RTL 代码.

传输层是将采样数据打包成字或字节的模块,由于 ADC 采样数据的位数多种多样,而数字信号的处理一般是以字或字节为单位,所以需要传输层将采样数据进行帧打包,以便后续的数据处理. 每个帧可以包含一个或多个采样数据、可选择的指示位以及可选的填充位.

链接层主要实现 JESD204B 协议的链路建立过程,数据传输过程中的扰码、帧和多帧对齐以及 8b/

10b 编码的过程,其中链路建立过程主要有码组同步阶段(CGS)、初始化链路同步(ILAS)以及数据传输(DATA)三个阶段.

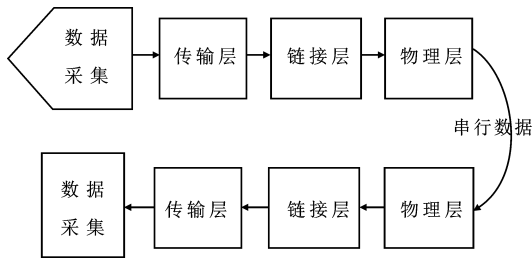


图 1 JESD204B 收发系统框图

3 发送端接口电路实现

在数字集成电路设计中,时钟起着至关重要的作用,一个系统的时钟数量越少,频率越低,系统的稳定性和鲁棒性就越好. 基于 JESD204B 标准的 subclass1 的工作模式^[3],本文设计了如图 2 所示的发送器电路,主要包括帧打包、自同步并行扰码器、控制字节替换、链路建立状态机和 8b/10b 编码器;并串转化电路和 PLL 模块采用 IP 核实现. 需要注意的是所设计的整个发送端数字电路只有一个时钟,整个电路的数据处理都是以帧为单位的,每个帧有 2 个字节,每个多帧有 32 个帧,这样可以很方便地进行后续的电路综合和静态时序分析.

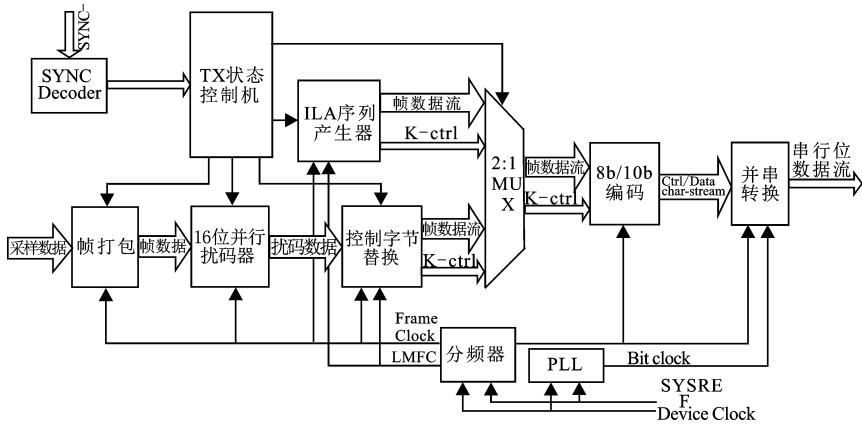


图 2 发送端电路结构框图

3.1 链路建立状态机

链路建立过程主要包括三个阶段. 如图 3 所示,首先是系统复位后,接收端向发送端提出同步请求,将 SYNC 信号拉低,发送端接收到同步请求后开始发送连续的 K 码;直到接收端同步后将 SYNC 信号拉高,发送端在下一个多帧时钟的上升沿开始

发送四个固定格式的多帧数据,它们都是以 R 字节开始,以 A 字节结束,其中第二个多帧数据的第二个字节是 Q 字节,随后是链路通信的配置信息,此时系统进入初始化链路同步阶段;在传输完四个多帧数据之后,系统开始传输用户数据,进入用户数据传输阶段.

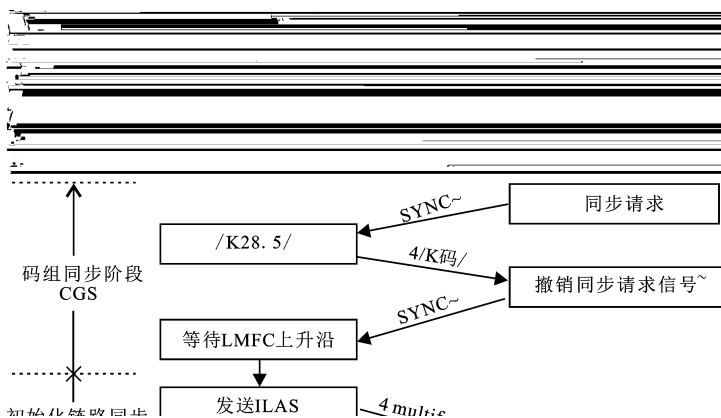


图3 链路建立过程图

3.2 自同步 16 位并行扰码器

JESD204B 协议中有扰码和非扰码两种工作模式,并且规定扰码采用多项式 $1+x^{14}+x^{15}$ 进行自同步扰码^[4]. 自同步扰码技术采用独立的移位寄存器序列发生器结构,由外输入信号激励工作. 它不需要移位寄存器同步信号,数据没有反馈,解扰和初始值无关,因此应用更加方便. 串行扰码每次只处理一个比特的数据,每个时钟周期移位寄存器只移动一位,而对于发送端接口电路需要同时处理 16 位数据,因此

在每个时钟周期移位寄存器需要移动 16 位. 采用上面扰码多项式进行扰码需要 15 个移位寄存器,而要实现 16 位并行扰码 15 个移位寄存器是无法实现的,所以要添加了两个移位寄存器,图 4 为所设计的自同步 16 位并行扰码器结构图,采用的是高位优先的扰码方式,同时在电路中加入了一个使能信号 EN,通过配置 EN 信号可以决定系统扰码和非扰码两种工作状态,式(1)为扰码器实现的扰码表达式.

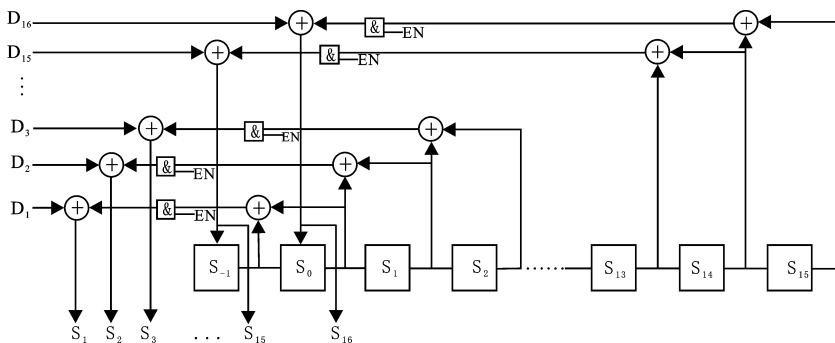


图4 16 位自同步并行扰码结构图

$$s_1 = D_1 + EN \& (S_{13} + S_{12} + S_{15} + S_{14});$$

$$s_2 = D_2 + EN \& (S_1 + S_{15} + S_{14});$$

$$s_3 = D_3 + EN \& (S_2 + S_1);$$

$$s_4 = D_4 + EN \& (S_3 + S_2);$$

$$s_5 = D_5 + EN \& (S_4 + S_3);$$

$$s_6 = D_6 + EN \& (S_5 + S_4);$$

$$s_7 = D_7 + EN \& (S_6 + S_5);$$

$$s_8 = D_8 + EN \& (S_7 + S_6);$$

$$s_9 = D_9 + EN \& (S_8 + S_7);$$

$$s_{10} = D_{10} + EN \& (S_9 + S_8);$$

$$s_{11} = D_{11} + EN \& (S_{10} + S_9);$$

$$s_{12} = D_{12} + EN \& (S_{11} + S_{10});$$

$$s_{13} = D_{13} + EN \& (S_{12} + S_{11});$$

$$s_{14} = D_{14} + EN \& (S_{13} + S_{12});$$

$$s_{15} = D_{15} + EN \& (S_{14} + S_{13});$$

$$s_{16} = D_{16} + EN \& (S_{15} + S_{14}); \quad (1)$$

3.3 并行 8b/10b 编码

8b/10b 编码电路由于组合逻辑复杂,是限制整个发生器电路时序性能的关键. 8b/10b 编码有控制字和数据字两种编码规则^[5],并且每一个字节的编码过程要用到前一字节编码产生的极性,通常的编码方式是以字节为单位顺序进行的,这就使得发送端数字电路的时钟速度偏高,不利于提高编码的速度,也不符合本项目按帧处理数据和数据传输速率的要求. 本文在超前进位加法器^[6]的启发下,设计了一种名为并行编码的 8b/10b 编码结构,它可以实现编码极性相对于编码

结果快速产生,并且在一个时钟周期内可实现多字节快速编码,减小了时钟的负担,给时钟的设计提供更大的灵活性.下面以两字节并行编码为例介绍这种编码思想,编码实现框图如图 5 所示.

并行 8b/10b 编码方式采用两级流水的结构,同时又加入了编码极性预处理和编码极性快速产生模块.如图 5 所示,16 位二进制数据 $Enc_in[15:0]$ 输入后, SUB1 是第一级流水单元,主要作用是对输入的数据字进行 5b/6b 编码(图中两个 5b/6b 模块分别对输入数据的高低字节 5b/6b 编码)或对控制字进行 8b/10b 编码(图中的 K 模块分别对输入数

据的高低字节 8b/10b 编码);图中的 Pre 模块对数据进行编码极性的预处理,对两个字节数据的编码极性预处理会分别产生中间变量 $R_{dr}[1]$ 和 $R_{dr}[0]$. 第二级流水单元 SUB2 的作用是 3b/4b 编码(图中的 3b/4b 模块)和快速产生编码极性(图中的 RD 模块).高字节的 RD 模块可以由前一模块产生的编码极性 $R_{in}[1]$ 和前一流水单元产生的中间变量 $R_{dr}[1]$ 快速产生编码极性 $R_{in}[0]$ 供低字节使用,低字节数据根据高字节产生的编码极性 $R_{in}[0]$ 和中间变量 $R_{dr}[0]$ 快速产生本模块的编码极性输出.

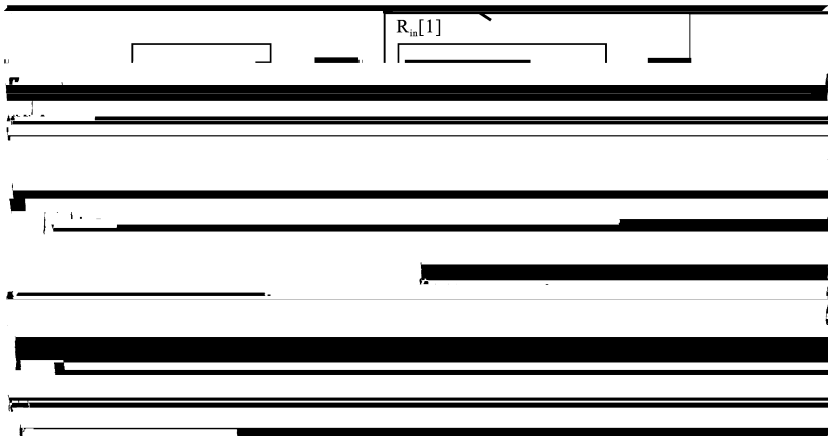


图 5 两字节并行编码结构图

5b/6b 模块、3b/4b 模块和 K 模块都采用查找表的方式来实现映射关系,在编码结果中会增加冗余最高位 $d_6[6]$ 、 $d_4[4]$ 和 $k[10]$ 以记录映射结果中 0 和 1 的个数是否相等. Pre 模块根据输入的待编码字节数据产生中间变量 R_{dr} 供第二级流水单元使用.由于预处理模块不会用到前一字节编码产生的极性,所以可以超前处理.它分两个步骤,首先是根据表 1 的预处理查找表产生用来表示 3b/4b 编码极性平衡的变量 R_{d4} ,然后通过控制字和数据字标志符来选择输出中间变量 $R_{dr}[1:0]$,如图 6 所示. RD 模块是根据预处理产生的中间变量 $R_{dr}[1:0]$ 和前一字节编码产生的极性 $R_{in}[1:0]$ 快速产生本字节编码输出极性.如图 7 所示,只需要一个异或门即可实现功能,所以逻辑延时非常小.假设 T_{rd} 为 RD 模块产生极性的组合逻辑延时, T_{code3} 为 3b/4b 的编码模块的组合逻辑延时,则 SUB2 模块的组合逻辑延时可用 $T_2 = T_{code3} + T_{rd}$ 表示.若 SUB1 模块的组合逻辑延时用 T_{code5} 表示,则最短时钟周期为 $T = \max\{T_2, T_{code5}\}$. 值得注意的是这种编码方式可以推广到多个字节,如果推广到 N 字节采用这种方式进行编码,则最短时钟周期为 $T_N =$

$\max\{(N-1) \cdot T_{rd} + T_{code3}, T_{code5}\}$,编码后数据传输速率为 $N \cdot 10/T_N$ b/s.

表 1 预处理模块查找表

$D_{in}[7:5]$	000	100	111	其他
R_{d4}	1	1	1	0

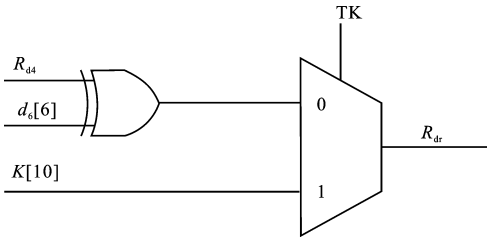


图 6 中间变量 R_{dr} 产生模块图

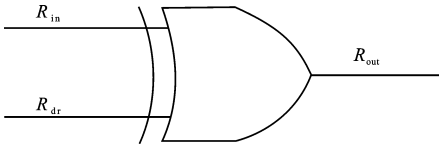


图 7 输出极性产生模块图

4 验证结果及分析

4.1 发送端电路的验证

在 ALTERA 公司的 Arriva V GT 开发板上, 使用 Altera 公司的 JESD204B 发送端物理层 IP 和接收端 IP 搭建了如图 8 所示的 Design_IP 验证系统^[7]. 在传输高速串行数据时用到开发板上的 FMC 的接口. FMC 是一种接口标准, 它一般分为母卡和

子卡, 两者配合使用才可以传输数据^[8]. 设计的发送端电路将并行数据根据 JESD204B 的标准在链路建立状态机控制下进行帧打包、扰码、字节对齐和 8b/10b 编码后传输到发送端物理层 IP 转换为高速串行数据, 高速串行数据通过 FMC 接口传输到接收端, 接收端 IP 再将高速串行数据转换为并行数据. 采用随机码验证的验证方法, 对比发送端和接收端的数据是否一致来判断接口工作的正确性.

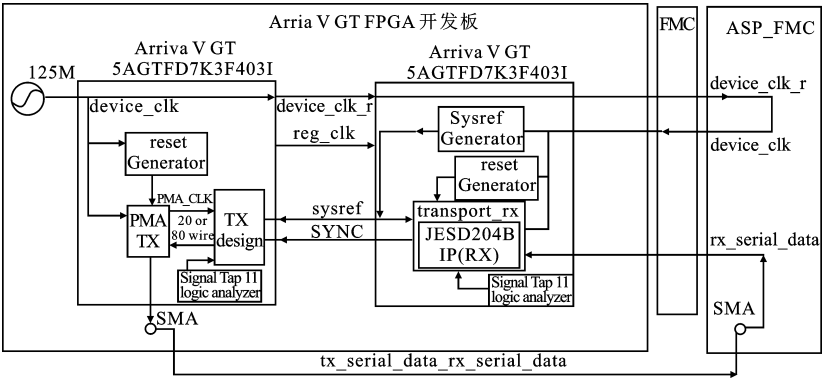
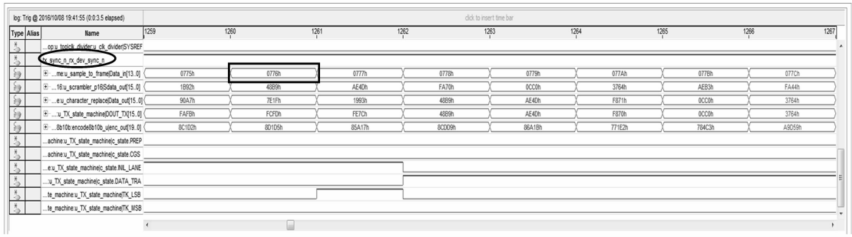


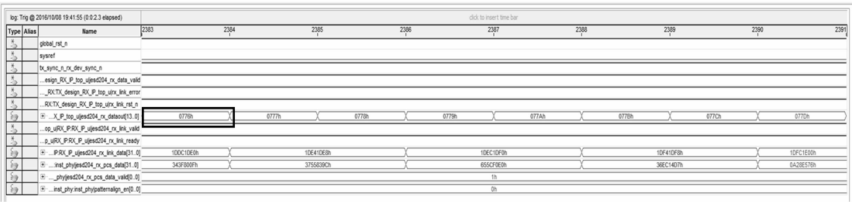
图 8 Design_IP 验证系统框图

用 QUARTUS II 将功能仿真正确的 RTL 级代码综合后的电路烧写到开发板上, 使用 QUARTUS II 的内嵌逻辑分析仪抓取实时波形进行分析. 图 9 是串行速率为 5 Gbit/s 时, 系统链路建立后成功传输的第一个字节的实时波形截图. 图 9(a)为发送端提取的实时信号波形, 图 9(b)为接收端提取的

实时信号波形, 图中黑方框中的字为传输成功的第一个字; 图中黑圆框的 tx_sync_n_rx_dev_sync_n 信号是同步请求信号, 这个信号在同步成功后一直为高电平, 说明传输过程中没有出现错误, 系统的功能和性能满足需求.



(a) 发送端波形



(b) 接收端波形

图 9 5 Gbit/s 传输速率下实时波形图

4.2 多种 8b/10b 编码电路性能对比

本文所设计的并行 8b/10b 编码电路也可以进行多字节扩展以达到更快的数据传输速度. 为了验

证这种想法的正确性, 我们分别设计了普通 8b/10b 编码器、两字节并行编码器和四字节并行编码器, 并用 QUARTUS II 的静态时序分析工具来对比三种

情况下的电路性能.

由表 2 可以看出,普通 8b/10b 编码器工作在 450 MHz 时钟下静态时序分析的 Slack 为 0.066 ns,此时电路工作速度为 4.5 Gbit/s;两字节并行编码在 500 MHz 的时钟下静态时序的 Slack 为 0.059 ns,说明电路时序正确,此时,数字系统可以支持的最大串行数据传输速率可达 10 Gbit/s. 四字节并行编码在 400 MHz 的时钟频率下编码静态时序的 Slack 为 0.185 ns,说明电路时序正确,只要物理层电路可以支持,串行数据传输速率就可以达到 16 Gbit/s,而且有进一步提升速度的可能性. 根据时序分析结果的对比可以得出结论:并行编码的字节数越多,编码后数据传输率越高,同时对系统时钟的要求也就越低.

表 2 三种 8b/10b 编码性能对比表

编码方式	普通	两字节 并行	四字节 并行
FPGA 器件上最大可以达到的系 统时钟频率/MHz	450	500	400
最高系统时钟频率下时序分析 slack/ns	0.066	0.059	0.185
理论可达到的最高传输速率/ (Gbit/s)	4.6	10.3	17.8

5 结束语

高速高精度数据转换器的应用越来越广泛,传统的 CMOS 和 LVDS 等并行接口标准由于存在码间干扰、并行数据难以同步以及布线复杂等问题,不能满足高速数据的传输需求. 因此,本文基于 JESD204 协议设计了发送端接口电路,采用了并行编码的 8b/10b 编码电路. 采用这种结构的编码电路可以降低对数字系统时钟的要求,并提高数据传输率. 在 Altera 公司 Arriva V GT 系列 FPGA 上,

采用双字节并行 8b/10b 编码结构,整个发送器电路的性能可以达到 5 Gbit/s,逻辑分析仪的结果表明,所设计的发送器数字电路功能正确. 更高字节的并行编码器电路可以进一步提高数据传输速率,降低系统时钟的速度.

参考文献:

[1] 周典森,徐晖,陈维华,等. 基于 JESD204B 协议的数据传输接口设计[J]. 电子科技,2015, 28(10): 53-60.

[2] JEDEC . JESD204[S]. JEDEC Solid State Technology Association,2006.

[3] JEDEC . JESD204[S]. JEDEC Solid State Technology Association,2011.

[4] 霍兴华,姚亚峰,贾茜茜,等. JESD204B 接口协议中的加扰电路设计[J]. 电视技术,2014, 38(23):64-67.

[5] 杨佩,张丽娜,张洵颖,等. LVDS 中 8B/10B 编码解码器的设计与实现[J]. 微电子学与计算机,2014,31(5):41-48.

[6] Jan M Rabaey, Anantha Chandrakasan, Borivoje Nikolic. 数字集成电路-电路、系统与设计(第 2 版)[M]. 北京,电子工业出版社,2009.

[7] ALTERA. JESD204B IP core User Guide[EB/OL]. [2016-06-07]. www.altera.com.

[8] ANSI. FPGA Mezzanine Card Standard [S/OL]. [2016-06-07]. www.ansi.org.

作者简介:

李长庆 男,(1993-),硕士. 研究方向为数字集成电路及系统设计. E-mail:1871862928@qq.com.

程 军 男,(1969-),博士,副教授. 研究方向为数模混合集成电路设计.

李 梁 男,(1978-),硕士. 研究方向为高速高精度 ADC.

龚 燎 男,(1992-),硕士. 研究方向为高速 SERDES 接口和数模混合电路设计.